

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#4/001021ty  
paper  
158  
6/26/00  
JCI35 U.S. PTO  
09/532892  
03/22/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 4 月 2 7 日

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 1 2 0 4 0 8 号

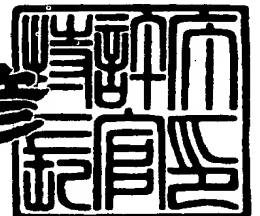
出 願 人  
Applicant (s):

日 本 電 気 株 式 会 社

2 0 0 0 年 2 月 1 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 0 8 2 8 1

【書類名】 特許願

【整理番号】 74111220

【提出日】 平成11年 4月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/331

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 佐々木 誠

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100102864

    【弁理士】

    【氏名又は名称】 工藤 実

【選任した代理人】

    【識別番号】 100099553

    【弁理士】

    【氏名又は名称】 大村 雅生

【手数料の表示】

    【予納台帳番号】 053213

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715177

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 多層配線部分と、  
前記多層配線部分の間に介設されるヒューズ部分とからなり、  
前記ヒューズ部分は酸化を受けて高抵抗化する銅が用いられている  
半導体装置。

【請求項 2】 請求項 1 において、  
前記多層配線部分は銅が用いられている  
ことを特徴とする半導体装置。

【請求項 3】 請求項 1 において、  
更に、低誘電率層からなり、  
前記低誘電率層は、前記ヒューズ部分に接合している  
ことを特徴とする半導体装置。

【請求項 4】 シリコン基板の上面側に多層配線部分を形成すること、  
前記シリコン基板の上面側に多層配線部分を接続するヒューズ部分を形成する  
こと、  
前記ヒューズ部分を酸化させて高抵抗化すること  
とからなる半導体装置の製造方法。

【請求項 5】 請求項 4 において、  
前記多層配線部分を形成することと前記ヒューズ部分を形成することとは同時  
的である  
ことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 において、  
前記酸化は、酸素雰囲気中で前記ヒューズ部分を局所的に昇温化することであ  
る  
ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 において、  
前記酸化は、前記ヒューズ部分の局所的部位にレーザーを照射することである

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法に関し、特に、冗長部分を備えるDRAMであるメモリのヒューズが高抵抗化される関半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】

【0003】

X、Yデコーダで形成されるDRAMには、その一部分のメモリセルに異常がある場合に、その異常があるメモリセルを含むX列又はY行に代えて用いる冗長メモリと呼ばれる予備メモリを有している。例えば、あるX列のメモリに以上がある場合、その異常があるX列の代わりに冗長メモリを用いるように回路を形成配線中に設けたヒューズを切断して回路動作を変更する。

【0004】

このようなヒューズの切断のための技術として、レーザー溶断、レジストを用いる選択エッチングが知られている。塗布工程、露光工程、現像工程のような複数の工程が必要不可欠である選択エッチングは、そのプロセスコストが高くなる。

【0005】

配線材料として用いる低融点のAlをレーザー溶断する時、集光されるレーザービームにより切断される局所的部位が高温化する。ヒューズが低誘電率膜の表面に形成されている場合、このような局所的高温化は、その部位の低誘電率膜を劣化させてしまう。Alの融点である660度Cは、低誘電率膜の通常の耐熱温度である400度Cよりも高い。

【0006】

局所的部位の処理に好都合であるレーザーを用いて、低誘電率膜を劣化させないようにするアイデアが、特開昭60-84835号で知られている。このア

イディアは、酸化雰囲気中でAl製ヒューズをレーザーで加熱し、そのヒューズを溶断しないで酸化させてAlをアルミナに変えてその部位を高抵抗化することにより、断線効果と実質的に同等の効果を得ようとする技術である。

【0007】

Alが酸化してアルミナになると高抵抗化することは確かであるが、そのアルミナ化はそのヒューズのごく表層のみでしか起こらず、そのヒューズ部分の高抵抗化は現実には困難である。無理に高抵抗化しようとするればそのヒューズに接合する層の物性を変化させてしまう。公知のこのようなアイディアは、非現実的である。

【0008】

【発明が解決しようとする課題】

本発明の課題は、Alに代えてCuを用いることにより、公知のアイディアを実現することができる半導体装置及び半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧（ ）つきで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうちの少なくとも1つの形態の技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

【0010】

本発明による半導体装置は、多層配線部分（4，5）と、多層配線部分（4，5）の間に介設されるヒューズ部分（11）とからなり、ヒューズ部分（11）は酸化を受けて高抵抗化する銅が用いられている。銅は低温で酸化して、銅の酸化は他の層の物性を変化させない。

【0011】

多層配線部分（4，5）は銅が用いられている。更に、低誘電率層（3）から

なり、低誘電率層（３）は、ヒューズ部分（１１）に接合している。銅の酸化時に低誘電率層の物性が変化しない。

【 0 0 1 2 】

本発明による半導体装置の製造方法は、シリコン基板（１）の上面側に多層配線部分（４，５）を形成するための配線形成ステップと、シリコン基板（１）の上面側に多層配線部分（４，５）を接続するヒューズ部分（１１）を形成するためのヒューズ形成ステップと、ヒューズ部分（１１）を酸化させて高抵抗化するための酸化ステップとからなる。

【 0 0 1 3 】

その配線形成ステップとそのヒューズ形成ステップは同時的であることが好ましい。その酸化ステップは、酸素雰囲気中でヒューズ部分（１１）を局所的に高温（昇温）化するステップである。その酸化ステップは、ヒューズ部分（１１）の局所的部位にレーザーを照射するためのステップである。配線部分（４，５）とヒューズ部分（１１）の同時的形成のステップが単一化され得る。

【 0 0 1 4 】

【発明の実施の形態】

図に一致対応して、本発明による半導体装置の実施の形態は、冗長部分を備えるDRAMとして提供されている。図１に示されるように、そのDRAMには、シリコン基板１上に配線構造２が形成されている。シリコン基板１の上面側に低誘電率膜３が形成されている。低誘電率膜３の上面側に、既述の配線構造２が形成されている。配線構造２は、多層配線部分４，５とヒューズ部分１１とから形成されている。

【 0 0 1 5 】

多層配線部分４，５の間の領域で、図１，２に示されるように、低誘電率膜３は、カバー７により被覆されている。多層配線部分４，５の間の領域で、低誘電率膜３とカバー７にレーザー通し穴８が形成されている。ヒューズ部分１１は低誘電率膜３とレーザー通し穴８の中に埋め込まれている。レーザー通し穴８は、ヒューズ部分１１に届いている。配線部分４と配線部分５は、接続線１２，１３により接続されている。

## 【0016】

図2, 3に示されるように、ヒューズ部分11と同じ高さ位置でヒューズ部分11と平行に他の配線である連続配線14が低誘電率膜3中に形成されている。連続配線14には、図に現れる範囲ではヒューズは介設されていない。連続配線14とヒューズ部分11とは、同じステップで同時的に形成することができる。

## 【0017】

図3, 4, 5は、本発明による半導体装置の製造方法の実施の形態を示している。図3に示されるように、レーザー通し穴8に通されるレーザービーム15（波長は5000オングストローム程度）が0.5ミクロン径程度に集光されて、ヒューズ部分11に照射される。このような照射は、ヒューズ部分11が酸素に触れる酸素雰囲気中で行われる。ヒューズ部分11は、銅・Cuで形成されている。銅の酸化は、表層のみがアルミナ化して深層まで酸化が進まないAlの酸化と異なる。酸化した酸化銅16は、図4, 5に示されるように、膨らんで多孔性物質に変わり、更に酸素に触れて、深層まで酸化が速やかに進行する物性を有している。

## 【0018】

図6は、あるパルス幅のレーザーを1気圧の酸素雰囲気中で銅層の表面に照射した時のデータを示し、横軸は温度を示し縦軸は酸化膜厚を示している。温度が150度Cを越えたあたりから酸化膜厚が温度上昇にしたがって増加し、温度が200度Cを越えると、酸化膜厚は急激に増大する。図7は、その時の抵抗値の変化を示している。温度が200度Cを越えると、抵抗値は発散的に増大する。

## 【0019】

このように銅はAlと異なり、低い温度で深層まで速やかに酸化して急激にその抵抗値が増大する。このように酸化した酸化銅16は、図4, 5に示されるように、溶断せず400度C以内に保持され、レーザーに直射されない低誘電率膜3はその劣化が防止されている。

## 【0020】

下記表は、低誘電率膜の比誘電率、耐熱性を示している。

低誘電率膜	比誘電率	耐熱性
-------	------	-----

SiO <sub>2</sub>	4	700度C以上
SiOF	3.5～3.8	700度C以上
α-C:F	2.3～2.5	400度C
parylene	2.3～2.7	350度C
HSQ	2.8～3.5	400度C
有機SOG	3.0～3.5	650度C

SiOF：フッ素含有酸化シリコン、α-C:F：フッ素含有アモルファスカーボン、parylene：ポリパラチシリレン、HSQ：水素化シルセスチオキサン。

#### 【0021】

銅の融点は1083度Cであり、銅のヒューズを溶断すると、表中の低誘電率膜はその物性を喪失する。本発明による方法によれば、300度Cの酸化により表中の低誘電率の物質の物性を維持することができる。更に、ヒューズ部分以外の配線にも銅を用いることにより、ヒューズ部分と配線部分とを同時に形成することができ、且つ、配線間抵抗を減少させることができる。

#### 【0022】

##### 【発明の効果】

本発明による半導体装置及び半導体装置の製造方法は、ヒューズの低抵抗化処理でヒューズに接続する他の層の物性を変化させないため、配線間容量の増加を防止することができる。配線にも銅を用いれば、配線とヒューズを同時に形成することができ、配線間抵抗を減少させることができ、大容量・高速化のメモリーを提供することができる。

##### 【図面の簡単な説明】

##### 【図1】

図1は、本発明による半導体装置の実施の形態を示す断面図である。

##### 【図2】

図2は、図1の平面図である。

##### 【図3】

図3は、本発明による半導体装置の製造方法の実施の形態を示す断面図である



【図 4】

図 4 は、本発明による半導体装置の製造方法の実施の他の形態を示す断面図である。

【図 5】

図 5 は、図 4 の側面断面図である。

【図 6】

図 6 は、実験データを示すグラフある。

【図 7】

図 7 は、他の実験データを示すグラフある。

【符号の説明】

1 …シリコン基板

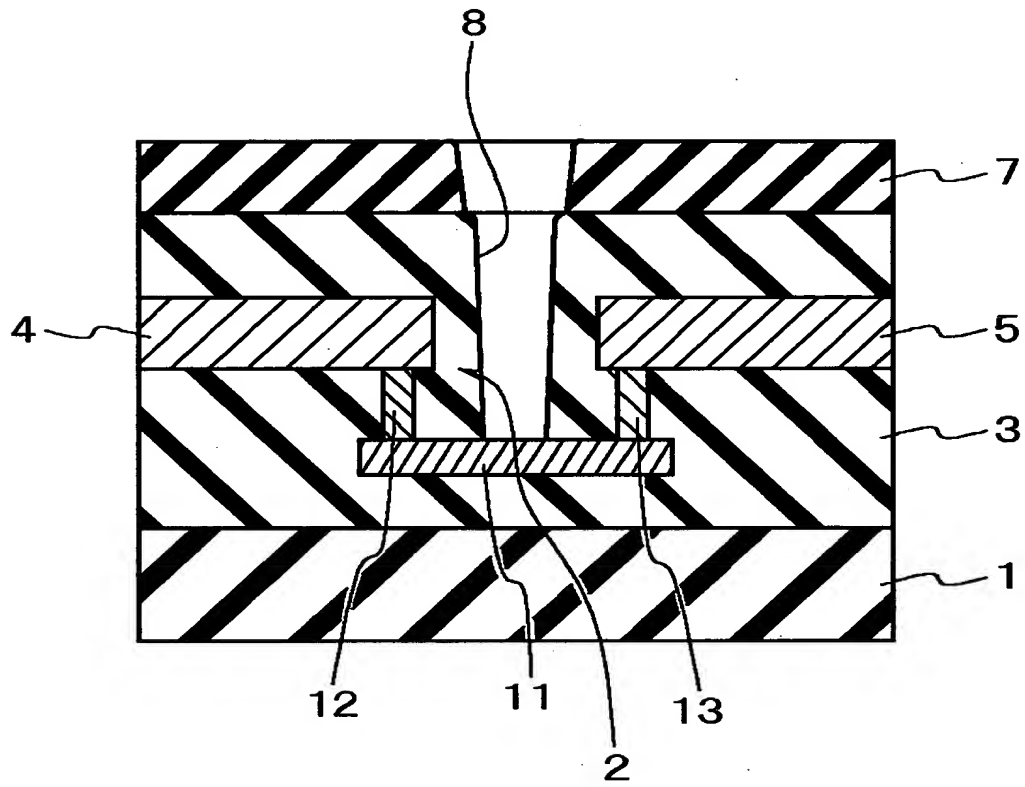
3 …低誘電率層

4, 5 …多層配線部分

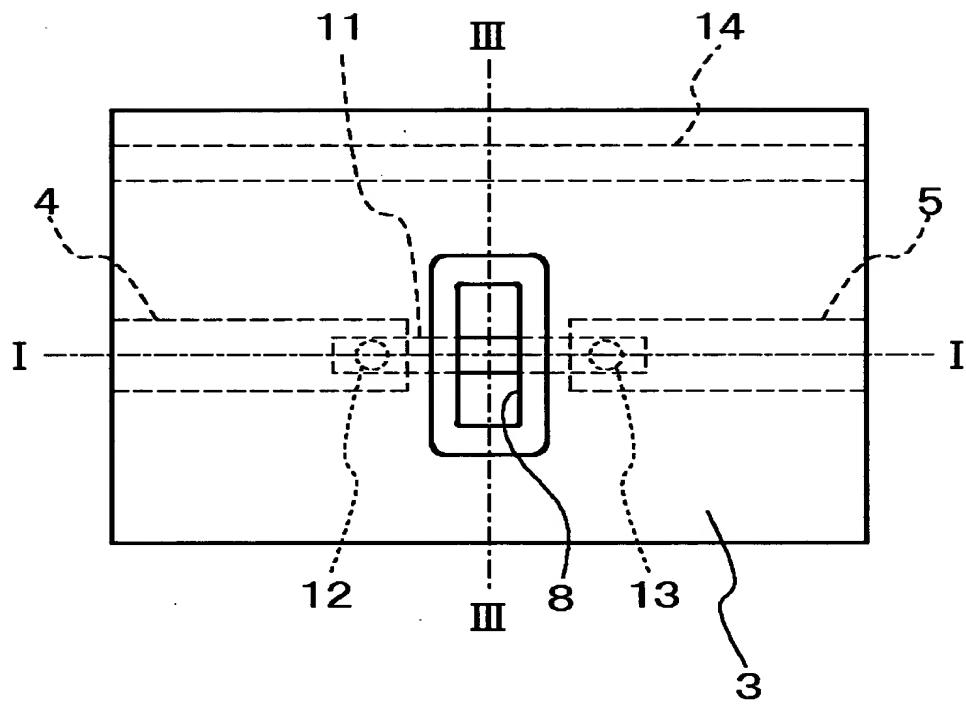
1 1 ヒューズ部分

【書類名】 図面

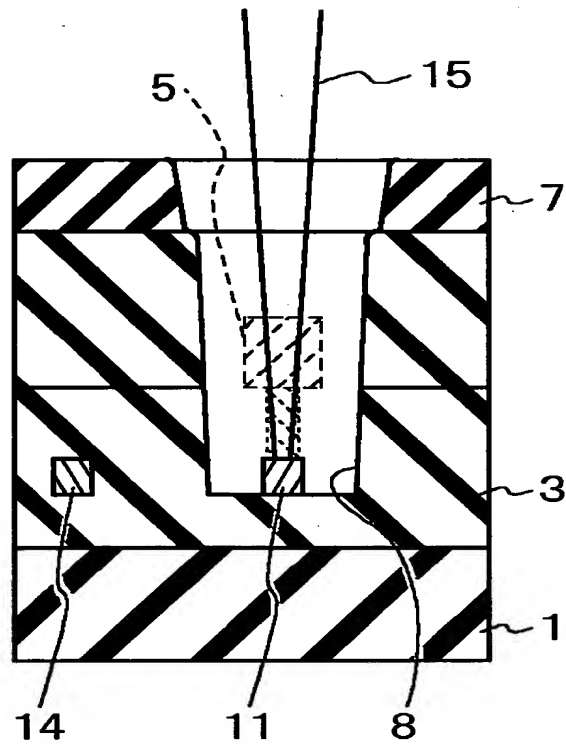
【図 1】



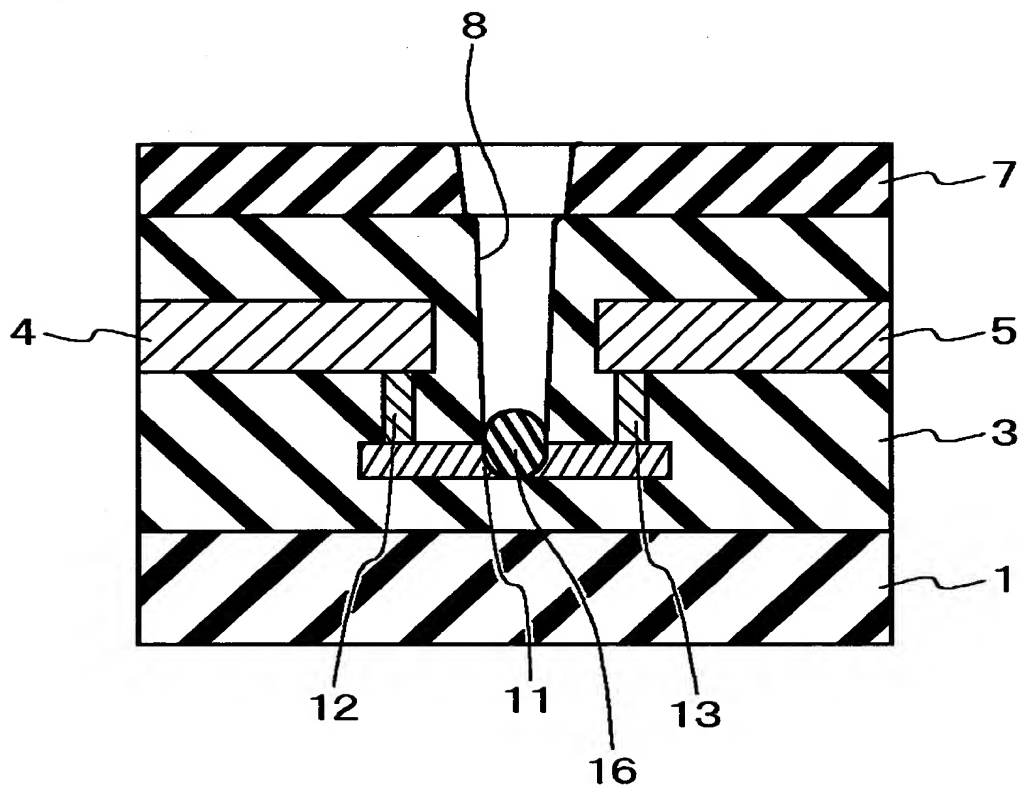
【図 2】



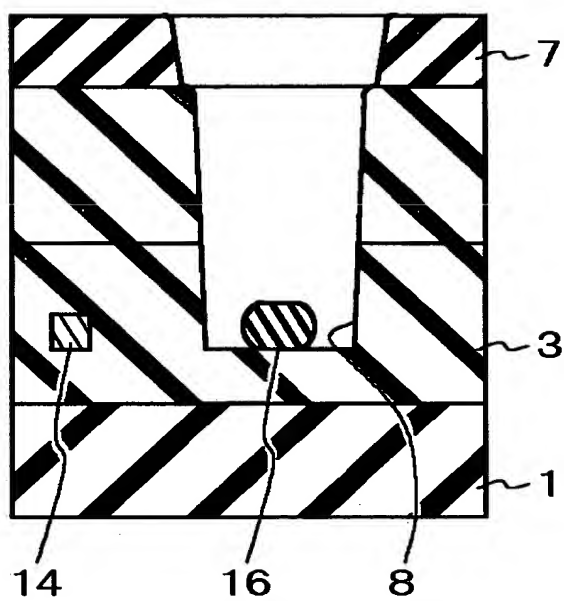
【図 3】



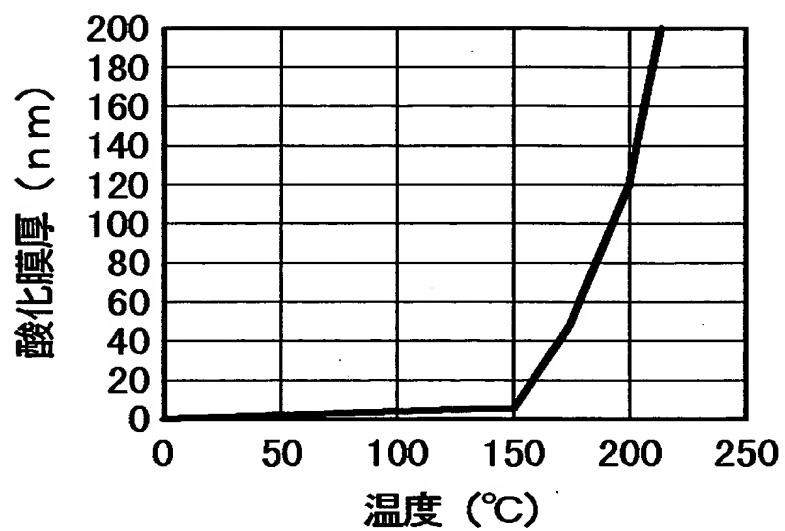
【図4】



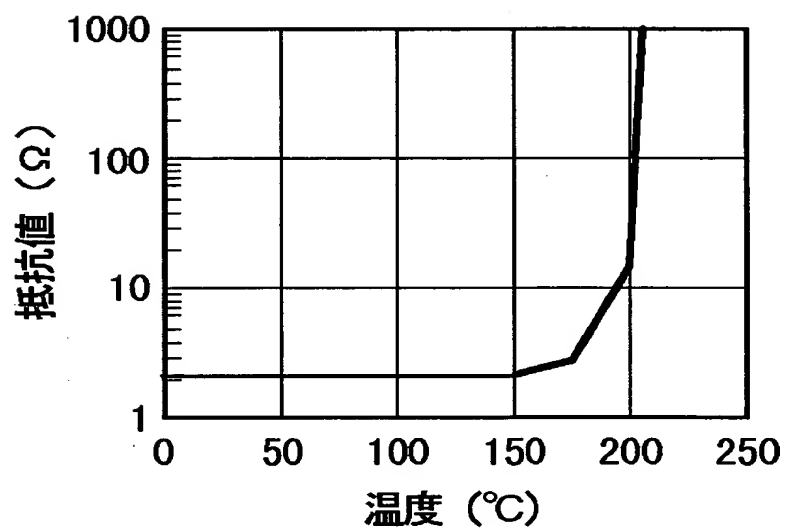
【図5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 ヒューズのために A l に代えて C u を用いる。

【解決手段】 多層配線部分 4, 5 と、多層配線部分 4, 5 の間に介設されるヒューズ部分 1 1 とからなり、ヒューズ部分 1 1 は酸化を受けて高抵抗化する銅が用いられている。銅は低温で酸化して、銅の酸化は他の層の物性を変化させない。多層配線部分 4, 5 は銅が用いられている。更に、低誘電率層 3 からなり、低誘電率層 3 は、ヒューズ部分 1 1 に接合している。銅の酸化時に低誘電率層の別姓が変化しない。銅の酸化は速やかに深層まで進み、溶断よりも低温で酸化が可能であり、低誘電率層を破壊しない。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第120408号
受付番号	59900407990
書類名	特許願
担当官	長谷川 実 1921
作成日	平成11年 5月18日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100102864
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	工藤 実

【選任した代理人】

【識別番号】	100099553
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	大村 雅生



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社